

(12)特許協力条約に基づいて公開された国際出願

Rec'd PCT/PTO 15 OCT 2004

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003年10月23日 (23.10.2003)

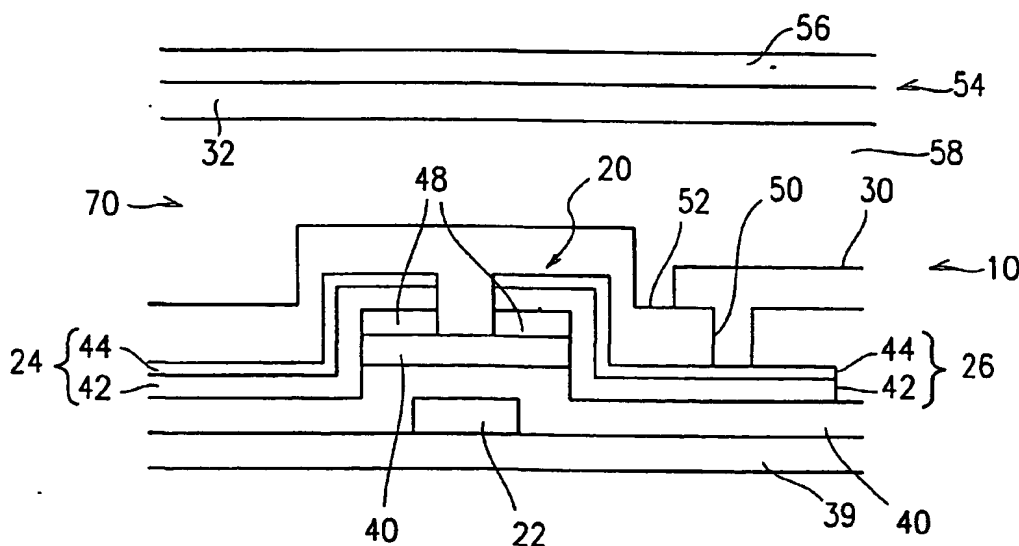
PCT

(10) 国際公開番号
WO 03/088193 A1

- (51) 国際特許分類: G09F 9/30, (72) 発明者; および
G02F 1/1368, H01L 29/786 (75) 発明者/出願人 (米国についてのみ): 小倉 雅史
(KOKURA, Masafumi) [JP/JP]; 〒639-0225 奈良県 香
(21) 国際出願番号: PCT/JP03/04727 芝市瓦口 2112 クレセントビル香芝304 Nara (JP). 片
岡 義晴 (KATAOKA, Yoshiharu) [JP/JP]; 〒565-0824 大
(22) 国際出願日: 2003年4月14日 (14.04.2003) 阪府 吹田市山田西 3丁目13-1 Osaka (JP).
- (25) 国際出願の言語: 日本語 (74) 代理人: 山本 秀策, 外(YAMAMOTO, Shusaku et al.);
〒540-6015 大阪府 大阪市中央区城見 1丁目2番27号
(26) 国際公開の言語: 日本語 クリスタルタワー15階 Osaka (JP).
- (30) 優先権データ: (81) 指定国 (国内): CN, JP, KR, US.
特願2002-113903 2002年4月16日 (16.04.2002) JP 添付公開書類:
— 国際調査報告書
- (71) 出願人 (米国を除く全ての指定国について): シャー
プ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP];
〒545-8522 大阪府 大阪市 阿倍野区長池町22番22号
Osaka (JP).
2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(54) Title: SUBSTRATE, LIQUID CRYSTAL DISPLAY HAVING THE SUBSTRATE, AND METHOD FOR PRODUCING SUB-
STRATE

(54) 発明の名称: 基板、その基板を備えた液晶表示装置および基板を製造する方法



(57) Abstract: A substrate (10) comprises a first electrode (26), an insulating film (52) covering at least part of the first electrode (26), and a second electrode (30) formed on the insulating film (52) and electrically connected to the first electrode (26) through a contact hole (50) formed in the insulating film (52). The first electrode (26) has a multilayer structure of a metal film (42) and a protective film (44). The etching rate of the metal film (42) of a first etching for forming the metal film (42) and the protective film (44) is approximately equal to that of the protective film (44). The etching rate of the protective film (44) of a second etching for forming the contact hole (50) is almost zero.

[続葉有]



(57) 要約: 本発明による基板(10)は、第1の電極(26)と、上記第1の電極(26)の少なくとも一部を覆う絶縁膜(52)上に形成された第2の電極(30)であって、上記絶縁膜(52)に形成されたコンタクトホール(50)を介して上記第1の電極(26)と電気的に接続された第2の電極(30)とを備えた基板(10)であって、上記第1の電極(26)は、金属膜(42)と保護膜(44)との積層構造を有しており、上記金属膜(42)および上記保護膜(44)を形成するための第1のエッチングに対して、上記金属膜(42)のエッチングレートは上記保護膜(44)のエッチングレートとほぼ等しく、上記コンタクトホール(50)を形成するための第2のエッチングに対して、上記保護膜(44)のエッチングレートがほぼゼロである。

明 細 書

基板、その基板を備えた液晶表示装置および基板を製造する方法

5 技術分野

本発明は、基板、その基板を備えた液晶表示装置および基板を製造する方法に関する。

背景技術

10 液晶表示装置のアクティブマトリックス基板において、薄膜トランジスタのドレイン電極と、ドレイン電極を覆う絶縁膜上に形成された画素電極とを、絶縁膜に形成されたコンタクトホールを介して、電気的に接続させることが従来から知られている。

図12は、従来のアクティブマトリックス基板の模式的な平面図である。

15 アクティブマトリックス基板110は、マトリックス状に配置された複数の薄膜トランジスタ（以下「TFT」ともいう）120と、列方向に沿って配置された薄膜トランジスタ120に沿って所定の間隔を空けて互いに平行に設けられた複数のソース信号線114と、行方向に沿って配置された薄膜トランジスタ120に沿って所定の間隔を空けて互いに平行に設けられた複数のゲート信号線112とを備えている。

複数のソース信号線114には、それぞれ、対応するソースドライバ118が接続されており、各ソースドライバ118は、対応するソース信号線114に、映像信号に対応する電圧を印加する。

25 複数のゲート信号線112には、それぞれ、対応するゲートドライバ116が接続されており、各ゲートドライバ116は、対応するゲート信号線112に、走査信号に対応する電圧を印加する。

複数の薄膜トランジスタ 1 2 0 のそれぞれは、対応するゲート信号線 1 1 2 から分岐されたゲート電極 1 2 2 と、対応するソース信号線 1 1 4 から分岐されたソース電極 1 2 4 と、ドレイン電極 1 2 6 とを有している。

5 複数のドレイン電極 1 2 6 のそれぞれは、対応する画素電極 1 3 0 に接続されている。各画素電極 1 3 0 は、対応する画素容量 1 2 8 の一方の端子となっている。各画素容量 1 2 8 の他方の端子は、対向基板 1 5 4（図 1 4 および図 1 5 参照）に設けられた対向電極 1 3 2 である。対向電極 1 3 2 は、通常、複数の画素電極 1 3 0 に共有されている。

10 アクティブマトリックス基板 1 1 0 には、映像の表示に寄与する表示領域 1 3 4 と、表示領域 1 3 4 の周囲を囲むように配置された端子領域 1 3 6 とが設けられている。表示領域 1 3 4 内には、複数の画素電極 1 3 0 および複数の薄膜トランジスタ 1 2 0 が配置されており、端子領域 1 3 6 には、複数のゲートドライバ 1 1 6 および複数のソースドライバ 1 1 8 が配置されている。

15 従来の液晶表示装置 1 7 0（図 1 4 および図 1 5 参照）は、このようなアクティブマトリックス基板 1 1 0 と、このアクティブマトリックス基板 1 1 0 に対向する対向基板 1 5 4（図 1 4 および図 1 5 参照）と、アクティブマトリックス基板 1 1 0 と対向基板 1 5 4 との間に挿入された液晶 1 5 8（図 1 4 参照）とを備える。

20 ゲートドライバ 1 1 6 から印加された信号に対し、複数の薄膜トランジスタ 1 2 0 のそれぞれをオンまたはオフにすることによって、ソースドライバ 1 1 8 から印加された映像信号に対応する電圧が、対応する画素電極 1 3 0 に印加される。画素電極 1 3 0 および対向電極 1 3 2 に印加された電圧に応じて、液晶の配向は制御され、それによって、液晶表示装置は映像を表示する。

図 1 3 は、従来のアクティブマトリックス基板 1 1 0 の平面図である。

25 図 1 3 に示されるゲートドライバ 1 1 6 は、外部から走査信号が入力される信号入力端子部 1 3 8 を備える。

画素電極１３０は、コンタクトホール１５０を介してドレイン電極１２６に接続されている。

図１４は、図１３に示す線Ｐ－Ｐに沿った、従来の液晶表示装置の断面図である。

５ 図１４に示される従来の液晶表示装置１７０は、アクティブマトリックス基板１１０と、対向基板１５４と、アクティブマトリックス基板１１０と対向基板１５４との間に挿入された液晶１５８とを備える。

図１４では、アクティブマトリックス基板１１０の表示領域１３４において、薄膜トランジスタ１２０および薄膜トランジスタ１２０のドレイン電極１２６に
１０ 接続された画素電極１３０の断面構造が示される。

アクティブマトリックス基板１１０は、透明絶縁性基板１３９を備える。ゲート電極１２２は、透明絶縁性基板１３９上に形成されている。ゲート絶縁膜１４０は、ゲート電極１２２を覆うように透明絶縁性基板１３９上に形成されている。

半導体層１４６は、ゲート絶縁膜１４０を介してゲート電極１２２上に形成されている。
１５ ｎ＋シリコン（Ｓｉ）層１４８は、半導体層１４６上に、半導体層１４６と整合するように形成されている。

ソース信号線１１４から分岐されたソース電極１２４は、ｎ＋Ｓｉ層１４８の表面の一部とｎ＋Ｓｉ層１４８および半導体層１４６の側面とを覆うように、ゲート絶縁膜１４０の一部の上に形成されている。

２０ ドレイン電極１２６は、ｎ＋Ｓｉ層１４８の表面の他の一部とｎ＋Ｓｉ層１４８および半導体層１４６の他の側面とを覆うように、ゲート絶縁膜１４０の他の一部の上に形成されている。

ソース電極１２４およびドレイン電極１２６は、ｎ＋Ｓｉ層１４８の表面上で互いに所定の間隔離れて、配置されている。

２５ 薄膜トランジスタ１２０は、ゲート電極１２２と、半導体層１４６と、ｎ＋Ｓｉ層１４８と、ソース電極１２４と、ドレイン電極１２６とを有する。

液晶表示装置を大型化するか、または、高精細度化するためには、ゲート信号線 1 1 2、ソース信号線 1 1 4、ゲート電極 1 2 2、ソース電極 1 2 4 およびドレイン電極 1 2 6 の抵抗を低くすることが望ましい。このため、これらの信号線および電極の材料として、通常は、抵抗が低く、加工することが容易な金属が使用される。

ゲート信号線 1 1 2、ソース信号線 1 1 4、ゲート電極 1 2 2、ソース電極 1 2 4 およびドレイン電極 1 2 6 として使用される一般的な材料は、Al、Mo、Ti、Ta 等である。

Mo の比抵抗は比較的 low、かつ、弱酸を用いたエッチングによって Mo をパターン加工をすることが容易であるため、ソース信号線 1 1 4、ソース電極 1 2 4 およびドレイン電極 1 2 6 の材料として、しばしば、Mo が使用される。

上述した材料のうちで比抵抗が最も小さい材料は Al であるが、Al は n + Si 層 1 4 8 と良好にコンタクトすることができないため、ソース電極 1 2 4 およびドレイン電極 1 2 6 の材料を単層の Al とすることは好ましくない。したがって、Al をソース信号線に用いる場合には、Al / Ti、Al / Mo 等の積層構造が必要となる。

Ti の比抵抗は Al および Mo の比抵抗よりも高いので、大型化した液晶表示装置の電極および信号線の材料として単層で Ti を使用することはあまり好ましくない。

Ti と同様に、Ta も比抵抗が高いため、単層で使用することあまり好ましくない。

薄膜トランジスタ 1 2 0 を保護するための絶縁膜 1 5 2 は、ソース電極 1 2 4 とドレイン電極 1 2 6 と n + Si 層 1 4 8 の表面のさらに他の一部とを覆うように、ゲート絶縁膜 1 4 0 上に形成されている。絶縁膜 1 5 2 の材料は、例えば、SiN_x である。

絶縁膜 1 5 2 には、ドレイン電極 1 2 6 に達するように絶縁膜 1 5 2 を貫通す

るコンタクトホール１５０が形成されている。

画素電極１３０は、コンタクトホール１５０を介してドレイン電極１２６と接続するように絶縁膜１５２上に形成されている。画素電極１３０の材料は、透明なITOである。

５ 液晶表示装置、特に透過型TFT液晶表示装置では、上述した構成、すなわち、薄膜トランジスタ１２０を形成した後に、薄膜トランジスタ１２０のドレイン電極１２６を覆うように絶縁膜１５２を形成し、絶縁膜１５２に形成されたコンタクトホール１５０を介してドレイン電極１２６と電氣的に接続されるように画素電極１３０を形成する構成が、しばしば、使用されている。

10 その理由は、この構成では、画素電極１３０を形成する面が、ソース信号線１１４を形成する面と同一ではないため、絶縁膜１５２上に形成された画素電極１３０と、絶縁膜１５２の下に形成されたソース電極１２４に接続されたソース信号線１１４とが電氣的に短絡することを防ぎつつ、画素電極１３０の面積を広くすることができるからである。

15 対向基板１５４は、透明絶縁性基板１５６と、透明絶縁性基板１５６上に設けられた対向電極１３２とを有する。

図１５は、図１３に示す線Q-Qに沿った従来の液晶表示装置の断面図である。

図１５では、アクティブマトリックス基板１１０の端子領域１３６において、ゲートドライバ１１６内の信号入力端子部１３８の断面構造が示されている。

20 ゲート信号線１１２は、透明絶縁性基板１３９上に形成されている。ゲート絶縁膜１４０は、ゲート信号線１１２の両端部を覆うように透明絶縁性基板１３９上に形成されている。ゲート絶縁膜１４０上には絶縁膜１５２が形成されている。

ゲート信号線１１２が酸化して抵抗が高くなることを防ぐための酸化防止膜１６０が、ゲート絶縁膜１４０および絶縁膜１５２の側面と、絶縁膜１５２の表面の一部とを覆うように、形成されている。ここで、酸化防止膜１６０の材料は透明なITOであり、これは、画素電極１３０の材料と同じ材料である。

25

上述した従来のアクティブマトリックス基板 110 は、以下のようにして製造される。

まず、透明絶縁性基板 139 上にゲート信号線 112 およびゲート電極 122 を構成する材料をスパッタ法等によって成膜する。次いで、成膜した層に対して、
5 マスク露光、現像およびドライエッチングすることにより、所定のパターンのゲート信号線 112 およびゲート電極 122 を形成する。

次いで、ゲート信号線 112 およびゲート電極 122 を覆うように、ゲート絶縁膜 140 を構成する材料を透明絶縁性基板 139 上に CVD 法によって成膜する。

10 その後、半導体層 146 を構成する材料および $n + Si$ 層 148 を構成する材料を、順次、CVD 法によってゲート絶縁膜 140 を構成する材料上に成膜する。成膜した半導体層 146 を構成する材料および $n + Si$ 層 148 を構成する材料に、マスク露光、現像およびドライエッチングすることによって、所定のパターンの半導体層 146 および $n + Si$ 層 148 を形成する。

15 次いで、ソース信号線 114、ソース電極 124 およびドレイン電極 126 を構成する材料（例えば、 Mo ）を、半導体層 146 および $n + Si$ 層 148 を覆うようにゲート絶縁膜 140 上に成膜し、次いで、成膜した Mo をマスク露光、現像およびドライエッチングすることによって、所定のパターンの Mo を形成する。

20 次いで、ソース電極 124 とドレイン電極 126 との間の Mo をウェットエッチングして、薄膜トランジスタ 120 のチャネルを形成することによって、ソース信号線 114、ソース電極 124 およびドレイン電極 126 を形成する。

次いで、ソース電極 124 とドレイン電極 126 と $n + Si$ 層 148 の表面のさらに他の一部とを覆うように、絶縁膜 152 を構成する材料をゲート絶縁膜 1
25 40 上に形成する。

次いで、 CF_4 と O_2 との混合ガスを使用したドライエッチングによって、ド

レイン電極 1 2 6 上の絶縁膜 1 5 2 の一部を除去して、絶縁膜 1 5 2 にコンタクトホール 1 5 0 を形成するとともに、端子領域 1 3 6 (図 1 2) のゲート信号線 1 1 2 の上方に形成された絶縁膜 1 5 2 の一部およびゲート信号線 1 1 2 上に形成されたゲート絶縁膜 1 4 0 の一部を連続して除去して、ゲート信号線 1 1 2 の表面の一部を露出させる。

次いで、ITO を成膜し、成膜した ITO をマスク露光、現像およびエッチングすることによって、所定のパターンの画素電極 1 3 0 および酸化防止膜 1 6 0 を形成する。ここで、画素電極 1 3 0 は、コンタクトホール 1 5 0 を介してドレイン電極 1 2 6 と電氣的に接続するように絶縁膜 1 5 2 上に形成されており、一方、酸化防止膜 1 6 0 は、ゲート信号線 1 1 2 の表面の一部と、ゲート絶縁膜 1 4 0 および絶縁膜 1 5 2 の側面と、絶縁膜 1 5 2 の表面の一部とを覆うように形成されている。

上述したように、同一のドライエッチングによって、端子領域 1 3 6 の信号入力端子部 1 3 8 では、ゲート信号線 1 1 2 の上方の絶縁膜 1 5 2 を構成する材料の一部を除去し、連続して、ゲート信号線 1 1 2 上のゲート絶縁膜 1 4 0 を構成する材料の一部を除去することによって、ゲート信号線 1 1 2 の表面の一部を露出し、表示領域 1 3 4 では、絶縁膜 1 5 2 にコンタクトホール 1 5 0 を形成するためにドレイン電極 1 2 6 上の絶縁膜 1 5 2 の一部を除去している。

しかしながら、同一のドライエッチングによって、表示領域 1 3 4 において、絶縁膜 1 5 2 の一部を除去する一方で、端子領域 1 3 6 において、絶縁膜 1 5 2 の一部およびゲート絶縁膜 1 4 0 の一部を連続して除去するため、表示領域 1 3 4 では、絶縁膜 1 5 2 の一部だけでなく、絶縁膜 1 5 2 の下に配置されたドレイン電極 1 2 6 の一部、さらには、ゲート絶縁膜 1 4 0 の一部も除去されてしまうおそれがある。

特に、ドライエッチングとして CF_4 と O_2 との混合ガスを使用し、絶縁膜 1 5 2 の材料として SiN_x を使用し、ドレイン電極 1 2 6 の材料として Mo を使

用する場合、絶縁膜 1 5 2 とドレイン電極 1 2 6 とのエッチング選択比が不十分となり、ドレイン電極 1 2 6 の一部が除去されてしまう。

図 1 6 は、図 1 4 に示した液晶表示装置のアクティブマトリックス基板において、コンタクトホール 1 5 0 A が絶縁膜 1 5 2 だけでなくドレイン電極 1 2 6 を貫通して、ゲート絶縁膜 1 4 0 内に達したことを示す、液晶表示装置の断面図である。

図 1 6 に示されるように、液晶表示装置 1 7 0 A において、絶縁膜 1 5 2 だけでなくドレイン電極 1 2 6 をも貫通し、ゲート絶縁膜 1 4 0 内に達するコンタクトホール 1 5 0 A が形成されると、画素電極 1 3 0 は、ドレイン電極 1 2 6 の断面でドレイン電極 1 2 6 とコンタクトすることになる。通常、ドレイン電極 1 2 6 の断面積は、コンタクトホール 1 5 0 A の表面積と比較して、極めて小さいため、画素電極 1 3 0 とドレイン電極 1 2 6 との電氣的接続が十分でなくなるという課題が生じる。

上述した課題を克服するために、ドレイン電極 1 2 6 を形成した後に、ドレイン電極 1 2 6 上に I T O を成膜して、保護膜を形成し、この保護膜の上に絶縁膜 1 5 2 を形成して、マスク露光、現像およびドライエッチングによって絶縁膜 1 5 2 にコンタクトホール 1 5 0 を形成すると、形成した保護膜がドライエッチングに対してドレイン電極 1 2 6 を保護するため、ドレイン電極 1 2 6 がエッチングされることを防ぐことができる。

しかしながら、ドレイン電極 1 2 6 上に I T O を成膜して保護膜を形成すると、コストおよびプロセスが増加するという新たな課題が生じる。

本発明は、上記課題を解決するためになされたものであり、その目的は、コストおよびプロセスを増加させることなく、第 1 の電極と、第 1 の電極を覆う絶縁膜上に形成された第 2 の電極とを、絶縁膜に形成されたコンタクトホールを介して電氣的に安定に接続する基板、その基板を備えた液晶表示装置および基板を製造する方法を提供することである。

発明の開示

本発明に係る基板は、第1の電極と、該第1の電極の少なくとも一部を覆う絶縁膜上に形成された第2の電極であって、該絶縁膜に形成されたコンタクトホールを介して該第1の電極と電氣的に接続された第2の電極とを備えた、基板であって、該第1の電極は、金属膜と保護膜との積層構造を有しており、該金属膜および該保護膜を形成するための第1のエッチングに対して、該金属膜のエッチングレートは該保護膜のエッチングレートとほぼ等しく、該コンタクトホールを形成するための第2のエッチングに対して、該保護膜のエッチングレートがほぼゼロであり、そのことにより上記目的が達成される。

前記保護膜は、非晶質導電性酸化物であってもよい。

前記非晶質導電性酸化物は、酸化インジウムと酸化亜鉛とを含む酸化物であってもよい。

前記金属膜は、モリブデンを含んでもよい。

前記保護膜は、前記金属膜に対して前記コンタクトホール側に形成されていてもよい。

前記金属膜は、前記保護膜に対して前記コンタクトホール側に形成されていてもよい。

ドレイン電極として機能する前記第1の電極と、ソース電極と、ゲート電極とを含む薄膜トランジスタをさらに備え、前記第2の電極は、該薄膜トランジスタによって制御される画素電極として機能してもよい。

前記薄膜トランジスタの前記ゲート電極に分岐されたゲート信号線と、該ゲート電極および該ゲート信号線の少なくとも一部を覆うゲート絶縁膜とをさらに備え、該薄膜トランジスタの前記ドレイン電極は、該ゲート絶縁膜上に形成されており、前記保護膜は、該ドレイン電極下の該ゲート絶縁膜を、前記第2のエッチングから保護してもよい。

本発明に係る液晶表示装置は、上記に記載の基板と、該基板に対向する対向基板と、該基板と該対向基板との間に挿入された液晶とを備え、そのことにより上記目的が達成される。

本発明に係る基板を製造する方法は、第1の電極を形成する工程と、該第1の電極の少なくとも一部を覆う絶縁膜を形成する工程と、該絶縁膜の一部を除去することにより、該絶縁膜にコンタクトホールを形成する工程と、該絶縁膜上に第2の電極を形成する工程であって、該コンタクトホールを介して該第1の電極と該第2の電極とが電氣的に接続される工程とを包含する基板を製造する方法であって、該第1の電極を形成する工程は、金属膜と保護膜とを積層する工程と、該金属膜のエッチングレートが該保護膜のエッチングレートとほぼ等しい第1のエッチングによって、該積層された金属膜および該保護膜とともにパターンニングする工程とを包含し、該コンタクトホールを形成する工程は、該保護膜のエッチングレートがほぼゼロである第2のエッチングによって、該絶縁膜に該コンタクトホールを形成する工程を包含し、そのことにより上記目的が達成される。

前記パターンニングする工程は、前記弱酸の混合液を用いたウェットエッチングにより、前記金属膜および前記保護膜をパターンニングする工程を包含してもよい。

前記第1の電極が薄膜トランジスタのドレイン電極として機能し、前記第2の電極が該薄膜トランジスタによって制御される画素電極として機能する、基板を製造する方法であって、ゲート信号線を形成する工程と、該薄膜トランジスタのゲート電極であって、該ゲート信号線から分岐したゲート電極を形成する工程と、該ゲート信号線の少なくとも一部を覆うゲート絶縁膜を形成する工程と、ソース信号線を形成する工程と、該薄膜トランジスタのソース電極であって、該ソース信号線から分岐したソース電極を形成する工程と、該ゲート信号線上の該ゲート絶縁膜の一部を除去する工程とをさらに包含し、前記第2のエッチングはドライエッチングであり、該ドライエッチングにより、該コンタクトホールを形成

するとともに、該ゲート絶縁膜の一部を除去してもよい。

前記保護膜は、記非晶質導電性酸化物であってもよい。

前記非晶質導電性酸化物は、酸化インジウムと酸化亜鉛とを含む酸化物であってもよい。

5 前記金属膜は、モリブデンを含んでもよい。

図面の簡単な説明

図 1 は、本発明の 1 つの実施形態による液晶表示装置のアクティブマトリックス基板の模式的な平面図である。

10 図 2 は、本発明の 1 つの実施形態によるアクティブマトリックス基板の平面図である。

図 3 は、図 2 に示す線 P-P に沿った、本発明の 1 つの実施形態による液晶表示装置の断面図である。

15 図 4 は、図 2 に示す線 Q-Q に沿った、本発明の 1 つの実施形態による液晶表示装置の断面図である。

図 5 は、本発明の 1 つの実施形態によるアクティブマトリックス基板を製造する方法を説明するための断面図である。

図 6 は、本発明の 1 つの実施形態によるアクティブマトリックス基板を製造する方法を説明するための断面図である。

20 図 7 は、本発明の 1 つの実施形態によるアクティブマトリックス基板を製造する方法を説明するための断面図である。

図 8 は、本発明の 1 つの実施形態によるアクティブマトリックス基板を製造する方法を説明するための断面図である。

25 図 9 は、本発明の 1 つの実施形態によるアクティブマトリックス基板を製造する方法を説明するための断面図である。

図 10 は、本発明の 1 つの実施形態によるアクティブマトリックス基板を製造

する方法を説明するための断面図である。

図 1 1 は、本発明の別の実施形態による液晶表示装置の断面図である。

図 1 2 は、従来のアクティブマトリックス基板の模式的な平面図である。

図 1 3 は、従来のアクティブマトリックス基板 1 1 0 の平面図である。

5 図 1 4 は、図 1 3 に示す線 P-P に沿った、従来の液晶表示装置の断面図である。

図 1 5 は、図 1 3 に示す線 Q-Q に沿った従来の液晶表示装置の断面図である。

10 図 1 6 は、図 1 4 に示した液晶表示装置のアクティブマトリックス基板において、コンタクトホールが絶縁膜だけでなくドレイン電極を貫通して、ゲート絶縁膜内に達したことを示す、液晶表示装置の断面図である。

発明を実施するための最良の形態

15 以下の説明では、液晶表示装置、特に、アクティブマトリックス基板を備えた液晶表示装置について説明するが、本発明は、液晶表示装置、および、アクティブマトリックス基板液晶表示装置に限定されるものではない。本発明は、第 1 の電極と、第 1 の電極を覆う絶縁膜上に形成された第 2 の電極とが、絶縁膜に形成されたコンタクトホールを介して電氣的に接続される任意の構成に適用可能である。

20 本発明の 1 つの実施形態による液晶表示装置は、ドレイン電極と、ドレイン電極を覆う絶縁膜上に形成された画素電極とが、絶縁膜に形成されたコンタクトホールを介して電氣的に接続されるアクティブマトリックス基板を備えている。

図 1 は、本発明の 1 つの実施形態による液晶表示装置のアクティブマトリックス基板の模式的な平面図である。

25 アクティブマトリックス基板 1 0 は、マトリックス状に配置された複数の薄膜トランジスタ（以下「TFT」ともいう）2 0 と、列方向に沿って配置された薄膜トランジスタ 2 0 に沿って所定の間隔を空けて互いに平行に設けられた複数の

ソース信号線 14 と、行方向に沿って配置された薄膜トランジスタ 20 に沿って所定の間隔を空けて互いに平行に設けられた複数のゲート信号線 12 とを備えている。

複数のソース信号線 14 には、それぞれ、対応するソースドライバ 18 が接続されており、各ソースドライバ 18 は、対応するソース信号線 14 に、映像信号に対応する電圧を印加する。

複数のゲート信号線 12 には、それぞれ、対応するゲートドライバ 16 が接続されており、各ゲートドライバ 16 は、対応するゲート信号線 12 に、走査信号に対応する電圧を印加する。

複数の薄膜トランジスタ 20 のそれぞれは、対応するゲート信号線 12 から分岐されたゲート電極 22 と、対応するソース信号線 14 から分岐されたソース電極 24 と、ドレイン電極 26 とを有している。

複数のドレイン電極 26 のそれぞれは、対応する画素電極 30 に接続されている。各画素電極 30 は、対応する画素容量 28 の一方の端子となっている。各画素容量 28 の他方の端子は、対向基板 54 (図 3 および図 4 参照) に設けられた対向電極 32 である。対向電極 32 は、複数の画素電極 30 に共有されている。

アクティブマトリックス基板 10 には、映像の表示に寄与する表示領域 34 と、表示領域 34 の周囲を囲むように配置された端子領域 36 とが設けられている。表示領域 34 内には、複数の画素電極 30 および複数の薄膜トランジスタ 20 が配置されており、端子領域 36 には、複数のゲートドライバ 16 および複数のソースドライバ 18 が配置されている。

液晶表示装置 70 (図 3 および図 4 参照) は、アクティブマトリックス基板 10 と、このアクティブマトリックス基板 10 に対向する対向基板 54 (図 3 および図 4 参照) と、アクティブマトリックス基板 10 と対向基板 54 (図 3 および図 4 参照) との間に挿入された液晶 58 (図 3 参照) とを備える。

ゲートドライバ 16 から印加された信号に対し、複数の薄膜トランジスタ 20

のそれぞれをオンまたはオフにすることによって、ソースドライバ18から印加された映像信号に対応する電圧が、対応する画素電極30に印加される。画素電極30および対向電極32に印加された電圧に応じて、液晶の配向は制御され、それによって、液晶表示装置70（図3および図4参照）は、映像を表示する。

5 図2は、本発明の1つの実施形態によるアクティブマトリックス基板10の平面図である。

図2に示されるゲートドライバ16は、外部から走査信号が入力される信号入力端子部38を有する。

10 画素電極30は、コンタクトホール50を介してドレイン電極26に接続されている。

図3は、図2に示す線P-Pに沿った、本発明の1つの実施形態による液晶表示装置の断面図である。

15 図3に示された液晶表示装置70は、アクティブマトリックス基板10と、対向基板54と、アクティブマトリックス基板10と対向基板54との間に挿入された液晶58とを備える。

図3では、アクティブマトリックス基板10の表示領域34において、薄膜トランジスタ20および薄膜トランジスタ20のドレイン電極26に接続された画素電極30の断面構造が示されている。

20 アクティブマトリックス基板10は、透明絶縁性基板39を備える。ゲート電極22は、透明絶縁性基板39上に形成されている。ゲート電極22は、Ta₂N₅とTaとTa₂N₅との積層構造（Ta₂N₅/Ta/Ta₂N₅）を有している。

ゲート絶縁膜40は、ゲート電極22を覆うように透明絶縁性基板39上に形成されている。

25 半導体層46は、ゲート絶縁膜40を介してゲート電極22上に形成されている。n⁺シリコン（Si）層48は、半導体層46上に、半導体層46と整合するように形成されている。

ソース信号線 14 から分岐されたソース電極 24 は、 $n + Si$ 層 48 の表面の一部と $n + Si$ 層 48 および半導体層 46 の側面とを覆うように、ゲート絶縁膜 40 の一部の上に形成されている。

5 ドレイン電極 26 は、 $n + Si$ 層 48 の表面の他の一部と $n + Si$ 層 48 および半導体層 46 の他の側面とを覆うように、ゲート絶縁膜 40 の他の一部の上に形成されている。

ソース電極 24 およびドレイン電極 26 は、 $n + Si$ 層 48 の表面上で互いに所定の間隔離れて、配置されている。

ドレイン電極 26 は、金属膜 42 と保護膜 44 との積層構造を有している。

10 薄膜トランジスタ 20 は、ゲート電極 22 と、半導体層 46 と、 $n + Si$ 層 48 と、ソース電極 24 と、ドレイン電極 26 とを有する。

アクティブマトリックス基板 10 では、ソース電極 24 およびソース信号線 14 もドレイン電極 26 と同様に、金属膜 42 と保護膜 44 との積層構造を有している。

15 薄膜トランジスタ 20 を保護するための絶縁膜 52 は、ソース電極 24 とドレイン電極 26 と $n + Si$ 層 48 の表面のさらに他の一部とを覆うように、ゲート絶縁膜 40 上に形成されている。絶縁膜 52 の材料は、例えば、 SiN_x である。

20 絶縁膜 52 には、ドレイン電極 26 に達するように絶縁膜 52 を貫通するコンタクトホール 50 が形成されている。コンタクトホール 50 は保護膜 44 と接するように形成されており、すなわち、保護膜 44 は、金属膜 42 に対して、コンタクトホール 50 側に形成されている。

画素電極 30 は、コンタクトホール 50 を介してドレイン電極 26 と接続するように絶縁膜 52 上に形成されている。画素電極 30 の材料は、透明な ITO である。

25 このような薄膜トランジスタ 20 において、ドレイン電極 26 の金属膜 42 および保護膜 44 は、エッチング（第 1 のエッチング）によって、形成されており、

金属膜 4 2 および保護膜 4 4 を形成するためのエッチングに対して、金属膜 4 2 のエッチングレートは保護膜 4 4 のエッチングレートとほぼ等しくなっている。これにより、金属膜 4 2 および保護膜 4 4 を同時にエッチングすることにより、ほぼ同様のパターンを有する金属膜 4 2 および保護膜 4 4 が形成される。なお、
5 金属膜 4 2 のエッチングレートは保護膜 4 4 のエッチングレートとほぼ等しいとは、同時にエッチングされた金属膜 4 2 と保護膜 4 4 との設計誤差が、所望の範囲内に収まることを意味する。

また、絶縁膜 5 2 にコンタクトホール 5 0 を形成するためのエッチング（第 2 のエッチング）に対して、保護膜 4 4 のエッチングレートがほぼゼロである。

10 このような特性を満たす金属膜 4 2 の具体的な材料は、例えば、Mo であり、保護膜 4 4 の具体的な材料は、非晶質導電性酸化物である。非晶質導電性酸化物は、例えば、IZO である。IZO は、酸化インジウムと酸化亜鉛とを含む酸化物であり、酸化インジウムと酸化亜鉛とを主成分とする $In-Zn-O$ である。ここでは、非晶質導電性酸化物として In_2O_3 と ZnO とを主成分とする出光興産製の IZO を使用する。
15

対向基板 5 4 は、透明絶縁性基板 5 6 と、透明絶縁性基板 5 6 上に設けられた対向電極 3 2 とを備えている。

図 4 は、図 2 に示す線 Q-Q に沿った、本発明の 1 つの実施形態による液晶表示装置の断面図である。

20 図 4 では、アクティブマトリックス基板 1 0 の端子領域 1 3 6 において、ゲートドライバ 1 6 内の信号入力端子部 3 8 の断面構造が示されている。

ゲート信号線 1 2 は、透明絶縁性基板 3 9 上に形成されている。ゲート信号線 1 2 は、 TaN と Ta と TaN との積層構造 ($TaN/Ta/TaN$) を有している。ここで、ゲート信号線 1 2 は、ゲート電極 2 2 と同じ材料から構成されて
25 いる。

ゲート絶縁膜 4 0 は、ゲート信号線 1 2 の両端部を覆うように透明絶縁性基板

39上に形成されている。ゲート絶縁膜40上には絶縁膜52が形成されている。

ゲート信号線12が酸化して抵抗が高くなることを防ぐための酸化防止膜60が、ゲート絶縁膜40および絶縁膜52の側面と、絶縁膜52の表面の一部とを覆うように、形成されている。ここで、酸化防止膜60の材料は透明なITOであり、これは、画素電極30の材料と同じ材料である。

図5～図10は、それぞれ、本発明の1つの実施形態によるアクティブマトリックス基板を製造する方法を説明するための断面図である。

図5(a)、図6(a)、図7(a)、図8(a)、図9(a)および図10(a)は、それぞれ、図2に示す線A-Aに沿った断面図に対応しており、表示領域34(図1参照)において、薄膜トランジスタ20および薄膜トランジスタ20のドレイン電極26に接続された画素電極30が形成される工程を示している。

図5(b)、図6(b)、図7(b)、図8(b)、図9(b)および図10(b)は、それぞれ、図2に示す線B-Bに沿った断面図に対応しており、端子領域36(図1参照)において、ゲートドライバ16の信号入力端子部38が形成される工程を示している。

まず、図5(a)および図5(b)を参照する。透明絶縁性基板39上に、ゲート信号線11およびゲート電極6を構成する材料(例えば、 $TaN/Ta/TaN$)をスパッタ法等によって約4000オングストロームの厚さで成膜する。次いで、成膜された材料を、マスク露光、現像およびドライエッチングすることによって、所定のパターンのゲート信号線11およびゲート電極6を形成する。

次に、図6(a)および図6(b)を参照する。ゲート信号線11およびゲート電極6を覆うように、ゲート絶縁膜40を構成する材料(例えば、 Si_xN_y)、半導体層46を構成する材料および $n+Si$ 層48を構成する材料を、合計の厚さが約5000オングストローム程度になるようにCVD法によって連続して成膜する。

次いで、成膜した材料を、マスク露光、現像、ドライエッチングおよび剥離することによって、所定のパターンの半導体層 4 6 および $n + S i$ 層 4 8 を形成する。

図 6 (a) および図 6 (b) から分かるように、表示領域 3 4 (図 1 参照) では、薄膜トランジスタ 2 0 を形成すべき線 A-A (図 2 参照) に沿った断面における領域でのみ半導体層 4 6 を構成する材料および $n + S i$ 層 4 8 を構成する材料を残し、他の領域では半導体層 4 6 を構成する材料および $n + S i$ 層 4 8 を構成する材料を除去する。

端子領域 3 6 (図 1 参照) では、半導体層 4 6 を構成する材料および $n + S i$ 層 4 8 を構成する材料を、エッチングによって除去する。

次いで、図 7 (a) および図 7 (b) を参照する。ゲート絶縁膜 4 0 上に、半導体層 4 6 および $n + S i$ 層 4 8 を覆うように、金属膜 4 2 の材料 (例えば、 Mo) をスパッタ法によって 1500 オングストロームの厚さで成膜し、続いて、保護膜 4 4 の材料 (例えば、 IZO) をスパッタ法によって 100 オングストロームの厚さで成膜する。

次いで、マスク露光、現像によってレジストをパターンニングする。その後、例えば、硝酸 3 %、リン酸 73 % および酢酸 3 % の弱酸の混合液を使用したウエットエッチングによって、成膜した金属膜 4 2 の材料および保護膜 4 4 の材料の一部を除去する。

金属膜 4 2 の材料 (例えば、 Mo) および保護膜 4 4 の材料 (例えば、 IZO) は、金属膜 4 2 および保護膜 4 4 を形成するためのエッチング (ここでは、ウエットエッチング) に対して、金属膜 4 2 のエッチングレートは保護膜 4 4 のエッチングレートとほぼ等しいので、硝酸、リン酸および酢酸等の弱酸の混合液によってエッチングすることができる。したがって、金属膜 4 2 および保護膜 4 4 を 1 つのドレイン電極 2 6 として同一のエッチングによってパターンニングすることができる。

端子領域 36（図 1 参照）の信号入力端子部 38 では、金属膜 42 の材料（例えば、Mo）および保護膜 44 の材料（例えば、IZO）の両方ともエッチングによって除去する。

次いで、ソース電極 24 とドレイン電極 26 との間において、ドライエッチングすることによって、チャンネルを形成して、ソース信号線 14、ソース電極 24 およびドレイン電極 26 を形成する。ここでは、ソース信号線 14、ソース電極 24 およびドレイン電極 26 は、いずれも、金属膜 42 と保護膜 44 との積層構造を有している。

次に、図 8（a）および図 8（b）を参照する。ソース電極 24 とドレイン電極 26 と n+S i 層 48 の表面の一部とを覆うように、絶縁膜 52 の材料（例えば、 Si_xN_y ）を、CVD 法によって、約 3500 オングストロームの厚さでゲート絶縁膜 40 上に成膜する。次いで、絶縁膜 52 の材料をマスク露光、現像することによってレジストをパターンニングする。

次に、図 9（a）および図 9（b）を参照する。 CF_4 と O_2 との混合ガスを用いたドライエッチングによって、表示領域 34（図 1 参照）において、ドレイン電極 26 の保護膜 44 上の絶縁膜 52 を除去して、コンタクトホール 50 を形成するとともに、端子領域 36（図 1 参照）において、ゲート信号線 12 の上方に形成された絶縁膜 52 の一部を除去し、続いて、同じゲート信号線 12 上に形成されたゲート絶縁膜 40 の一部を除去して、ゲート信号線 12 の表面の一部を露出させる。

このとき、絶縁膜 52 にコンタクトホール 50 を形成するためのエッチング（ここでは、ドライエッチング）に対して、保護膜 44 のエッチングレートがほぼゼロであるので、このエッチングによって、保護膜 44 を含むドレイン電極 26 の一部が除去されることない。

次に、図 10（a）および図 10（b）を参照する。コンタクトホール 50 と、露出されたゲート信号線 12 と、ゲート絶縁膜 40 の側面および絶縁膜 52 の側

面とを覆うように、スパッタ法によって、絶縁膜 5 2 上に I T O を成膜する。

次いで、成膜した I T O を、マスク露光、現像によってレジストパターンニングした後、塩化第 2 鉄によってエッチングし、画素電極 3 0 および酸化防止膜 6 0 を形成する。

5 本発明の 1 つの実施形態によるアクティブマトリックス基板 1 0 は、以上のよう
に製造される。

ここで、再び、図 9 (a) および図 9 (b) を参照すると、表示領域 3 4 では、
エッチングする必要があるのは絶縁膜 5 2 のみである一方で、端子領域 3 6 の信
号入力端子部 3 8 では、絶縁膜 5 2 だけでなくゲート絶縁膜 4 0 をもエッチング
10 する必要があるため、表示領域 3 4 では、表示領域 3 4 の絶縁膜 5 2 のみをエッ
チングするのに必要な時間よりも長い時間、エッチングされる。

しかし、本発明によれば、金属膜 4 2 ではなく保護膜 4 4 が絶縁膜 5 2 と接す
るために、表示領域 3 4 のエッチングに本来必要な時間よりも長い時間エッチン
グされたとしても、ドレイン電極 2 6 は、ドライエッチングによってダメージを
15 受けず、金属膜 4 2 はエッチングされることなく保護される。

ドライエッチングとして R I E (R e a c t i v e I o n e t c h i n g) を使用する
場合、通常、固体とガスとを反応させ、固体を揮発性の化合物ガスに化学変化
させて、エッチングを行う。アクティブマトリックス基板 1 0 を製造するために
ドライエッチングとして R I E (R e a c t i v e I o n e t c h i n g) を使用する
20 場合、インジウムとフッ素の化合物の揮発性が低いため、フッ素系のガス
では、インジウムを含む保護膜 4 4 をエッチングすることができない。したが
って、画素電極 3 0 は、コンタクトホール 5 0 を介してドレイン電極 2 6 の表面
と接続するので、画素電極 3 0 とドレイン電極 2 6 とが電氣的に安定して接
続する。

25 以上のように、本発明の 1 つの実施形態によれば、画素電極 3 0 は、絶縁膜 5
2 に形成されたコンタクトホール 5 0 を介してドレイン電極 2 6 と接続されてお

り、ドレイン電極 26 は、金属膜 42 と保護膜 44 との積層構造を有している。
このとき、保護膜 44 は、金属膜 42 に対してコンタクトホール 50 側に形成さ
れているため、ドレイン電極 26 は、ドライエッチングによってダメージを受け
ず、コンタクトホール 50 はドレイン電極 26 の内部に延伸するようには形成さ
5 れない。従って、画素電極 30 はドレイン電極 26 の表面で接続され、画素電極
30 はドレイン電極 26 と安定して電氣的に接続する。

結果として、本発明によれば、マスク露光数、エッチング回数およびコストを
増加させることなく、画素電極 30 とドレイン電極 26 との間の電氣的接続を確
実にすることができる。

10 図 11 は、本発明の別の実施形態による液晶表示装置の断面図である。

図 11 に示す液晶表示装置 70 A のアクティブマトリックス基板 10 A は、図
2 に示す線 A-A に沿った断面に対応しており、アクティブマトリックス基板 1
0 の構成要素と同一の構成要素には同一の参照符号を付している。これらの構成
要素の詳細な説明は省略する。

15 アクティブマトリックス基板 10 A は、金属膜 42 が保護膜 44 に対してコン
タクトホール 50 A 側に形成されたドレイン電極 26 A およびソース電極 24 A
を有している点で、上述したアクティブマトリックス基板 10 と異なる。

アクティブマトリックス基板 10 A を製造する場合にも、端子領域 36 (図 1
参照) においては、絶縁膜 52 のみならずゲート絶縁膜 40 をもエッチングする
必要があるために、表示領域 34 (図 1 参照) において、表示領域 34 の絶縁膜
20 52 のみをエッチングするのに本来必要な時間よりも長い時間、表示領域 34 を
エッチングすることになり、絶縁膜 52 に接するように形成された金属膜 42 も
エッチングされる。

しかしながら、この実施形態では、金属膜 42 の下に形成された保護膜 44 に
25 より、ドライエッチングによってダメージを受けず、コンタクトホール 50 A は
保護膜 44 内に延伸されない。このため、画素電極 30 は、コンタクトホール 5

0 Aを介して、薄膜トランジスタ 20 Aのドレイン電極 26 Aの保護膜 44の表面と接続するので、画素電極 30はドレイン電極 26 Aと安定して電氣的に接続する。

5 なお、上記説明では、保護膜 44の非晶質導電性酸化物の具体例として、非晶質の酸化インジウムおよび酸化亜鉛を主成分とする IZO膜を説明したが、非晶質導電性酸化物は IZO膜に限定されるものではない。非晶質導電性酸化物として、非晶質の酸化インジウムおよび酸化スズを主成分とする ITO膜を使用しても、IZO膜によって得られた効果と同様の効果を得ることができる。

10 H₂OおよびH₂を添加した ITO成膜、または、ITOの結晶化温度以下の温度で ITOを成膜することによって、非晶質の ITOを形成することができる（参考文献：J. Vac. Sci. Technol., A8 (3), 1403 (1990)）。

産業上の利用可能性

15 本発明によれば、コストおよびプロセスを増加させることなく、第1の電極上の絶縁膜を介して第1の電極と第2の電極とを安定して電氣的接続させることができる。

請求の範囲

1. 第1の電極と、

該第1の電極の少なくとも一部を覆う絶縁膜上に形成された第2の電極であつて、該絶縁膜に形成されたコンタクトホールを介して該第1の電極と電氣的に接続された第2の電極と

を備えた、基板であって、

該第1の電極は、金属膜と保護膜との積層構造を有しており、

該金属膜および該保護膜を形成するための第1のエッチングに対して、該金属膜のエッチングレートは該保護膜のエッチングレートとほぼ等しく、

該コンタクトホールを形成するための第2のエッチングに対して、該保護膜のエッチングレートがほぼゼロである、基板。

2. 前記保護膜は、非晶質導電性酸化物である、請求項1に記載の基板。

3. 前記非晶質導電性酸化物は、酸化インジウムと酸化亜鉛とを含む酸化物である、請求項2に記載の基板。

4. 前記金属膜は、モリブデンを含む、請求項1に記載の基板。

5. 前記保護膜は、前記金属膜に対して前記コンタクトホール側に形成されている、請求項1に記載の基板。

6. 前記金属膜は、前記保護膜に対して前記コンタクトホール側に形成されている、請求項1に記載の基板。

7. ドレイン電極として機能する前記第1の電極と、ソース電極と、ゲート電極とを含む薄膜トランジスタをさらに備え、

前記第2の電極は、該薄膜トランジスタによって制御される画素電極として機能する、請求項1に記載の基板。

5

8. 前記薄膜トランジスタの前記ゲート電極に分岐されたゲート信号線と、
該ゲート電極および該ゲート信号線の少なくとも一部を覆うゲート絶縁膜とをさらに備え、

10

該薄膜トランジスタの前記ドレイン電極は、該ゲート絶縁膜上に形成されており、

前記保護膜は、該ドレイン電極下の該ゲート絶縁膜を、前記第2のエッチングから保護する、請求項7に記載の基板。

15

9. 請求項1に記載の基板と、
該基板に対向する対向基板と、
該基板と該対向基板との間に挿入された液晶と
を備える、液晶表示装置。

20

10. 第1の電極を形成する工程と、
該第1の電極の少なくとも一部を覆う絶縁膜を形成する工程と、
該絶縁膜の一部を除去することにより、該絶縁膜にコンタクトホールを形成する工程と、

25

該絶縁膜上に第2の電極を形成する工程であって、該コンタクトホールを介して該第1の電極と該第2の電極とが電氣的に接続される工程と
を包含する、基板を製造する方法であって、
該第1の電極を形成する工程は、

金属膜と保護膜とを積層する工程と、

該金属膜のエッチングレートが該保護膜のエッチングレートとほぼ等しい第1のエッチングによって、該積層された金属膜および該保護膜とともにパターンニングする工程とを包含し、

5 該コンタクトホールを形成する工程は、該保護膜のエッチングレートがほぼゼロである第2のエッチングによって、該絶縁膜に該コンタクトホールを形成する工程を包含する、基板を製造する方法。

10 1 1. 前記パターンニングする工程は、前記弱酸の混合液を用いたウェットエッチングにより、前記金属膜および前記保護膜をパターンニングする工程を包含する、請求項10に記載の基板を製造する方法。

15 1 2. 前記第1の電極が薄膜トランジスタのドレイン電極として機能し、前記第2の電極が該薄膜トランジスタによって制御される画素電極として機能する、基板を製造する方法であって、

 ゲート信号線を形成する工程と、

 該薄膜トランジスタのゲート電極であって、該ゲート信号線から分岐したゲート電極を形成する工程と、

 該ゲート信号線の少なくとも一部を覆うゲート絶縁膜を形成する工程と、

20 ソース信号線を形成する工程と、

 該薄膜トランジスタのソース電極であって、該ソース信号線から分岐したソース電極を形成する工程と、

 該ゲート信号線上の該ゲート絶縁膜の一部を除去する工程と

 をさらに包含し、

25 前記第2のエッチングはドライエッチングであり、

 該ドライエッチングにより、該コンタクトホールを形成するとともに、該ゲー

ト絶縁膜の一部を除去する、請求項 10 に記載の基板を製造する方法。

13. 前記保護膜は、記非晶質導電性酸化物である、請求項 10 に記載の基板を製造する方法。

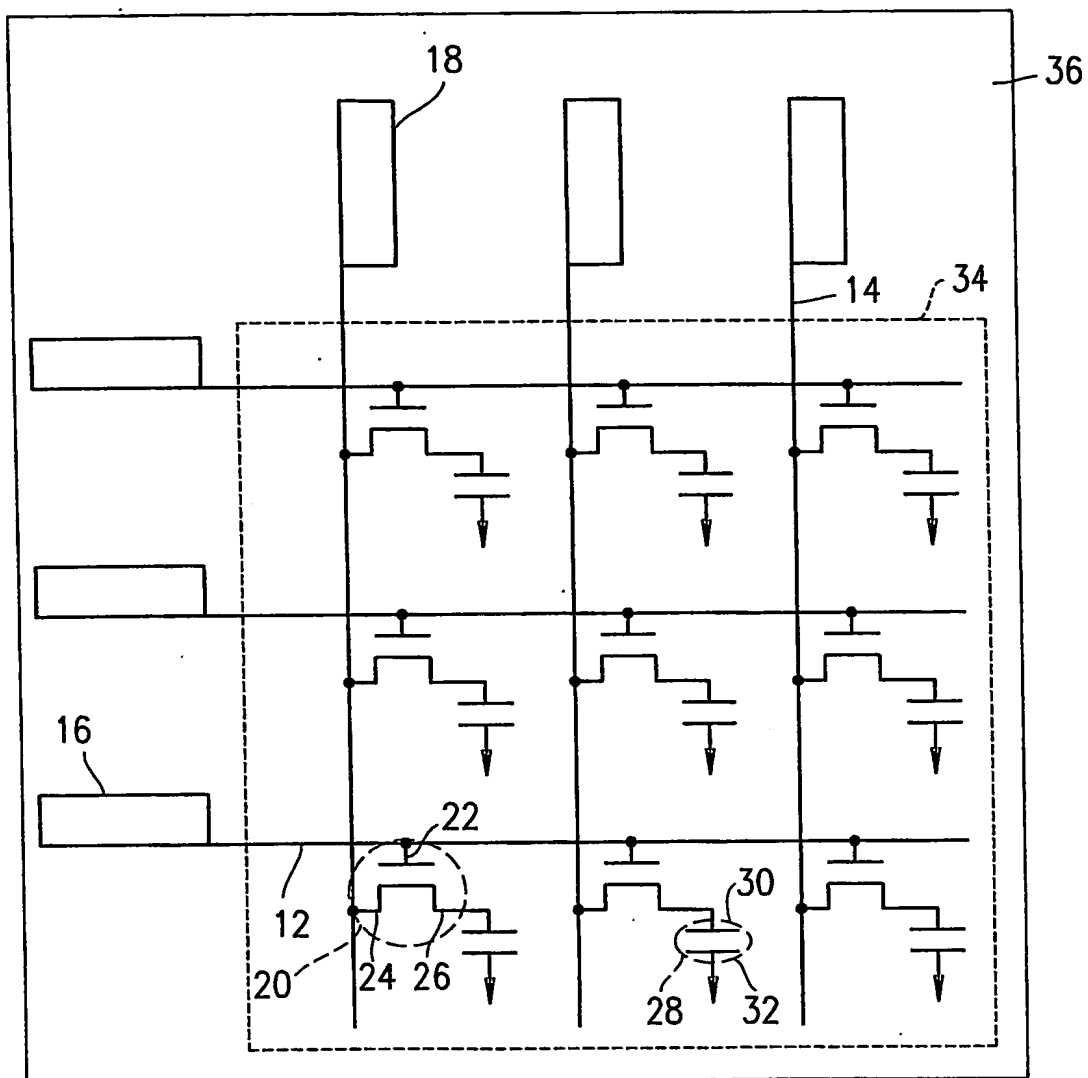
5

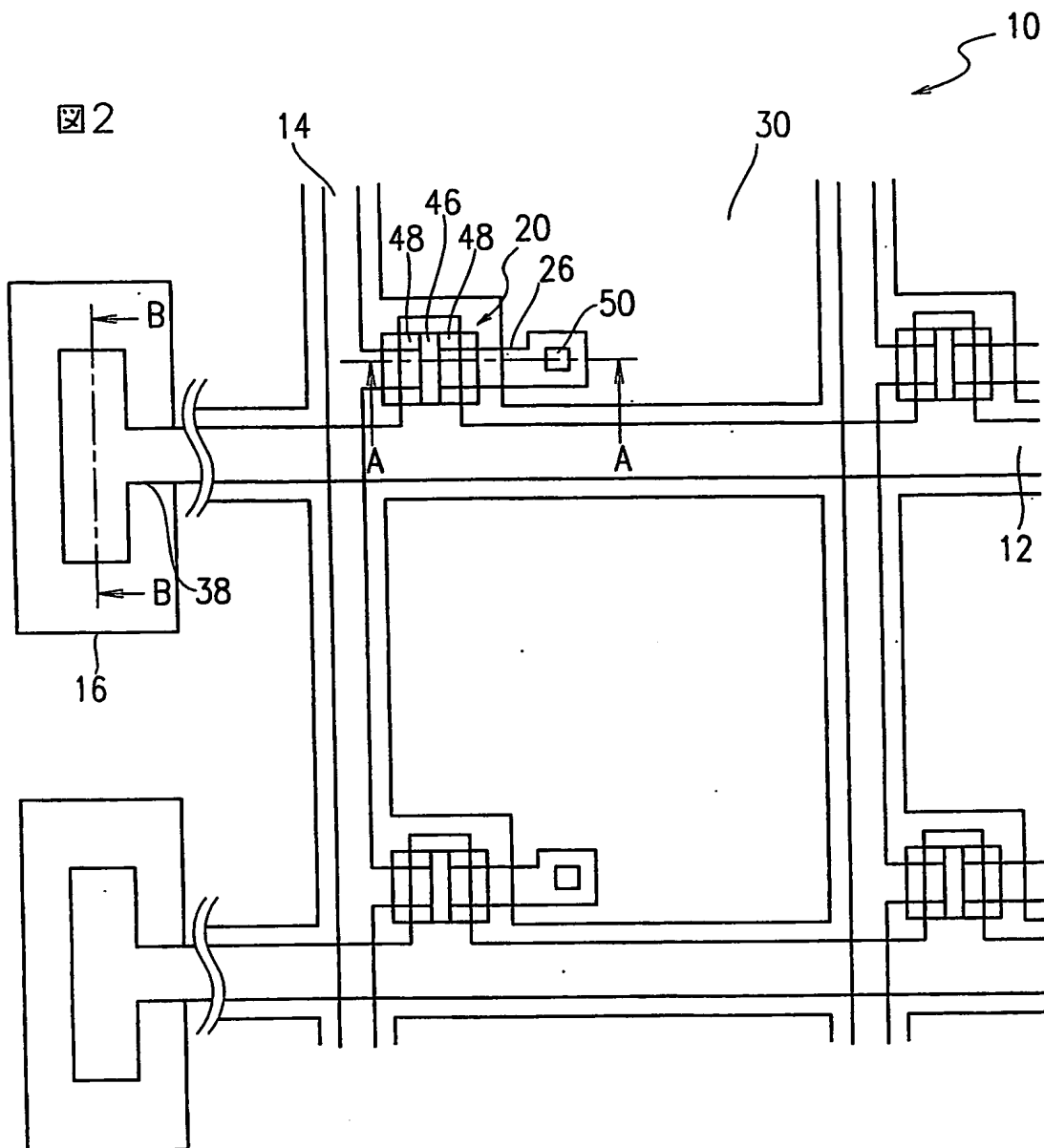
14. 前記非晶質導電性酸化物は、酸化インジウムと酸化亜鉛とを含む酸化物である、請求項 13 に記載の基板を製造する方法。

15. 前記金属膜は、モリブデンを含む、請求項 10 に記載の基板を製造する方法。

10

図 1





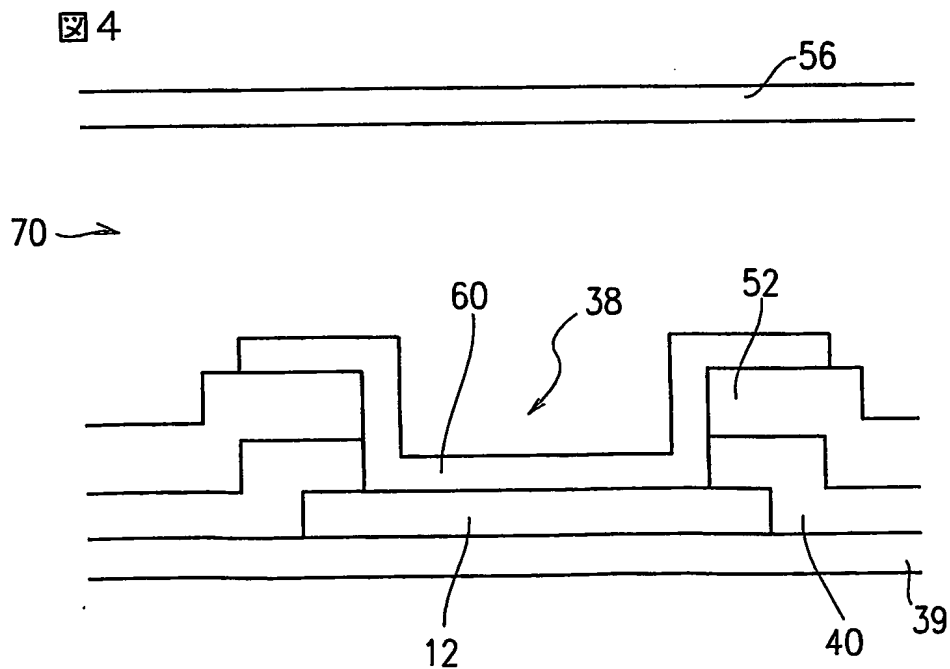
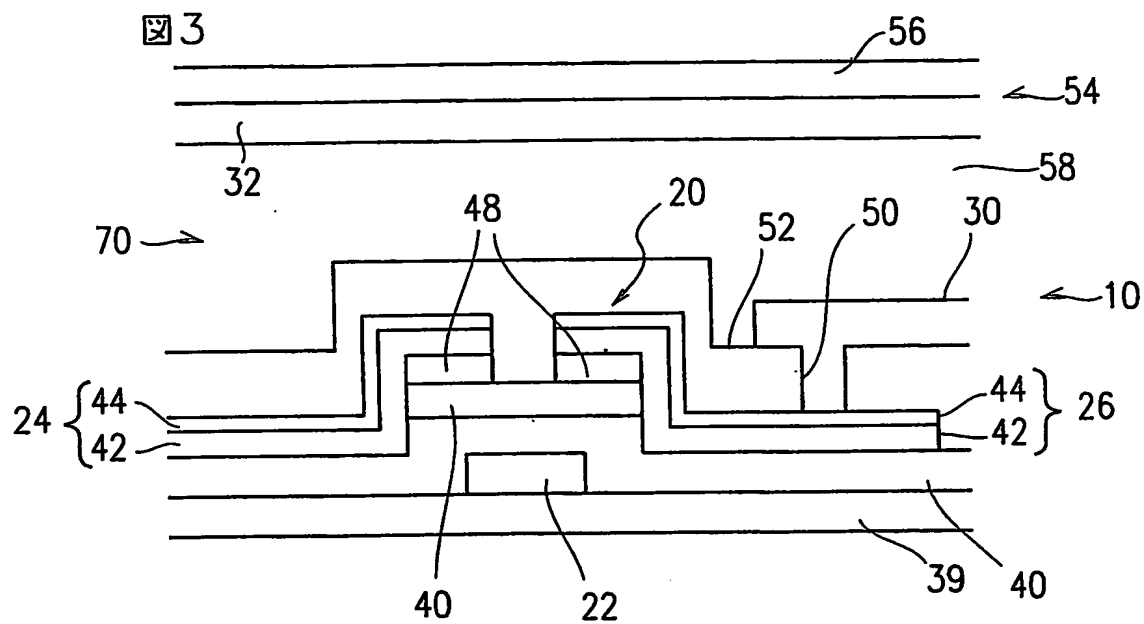


図5

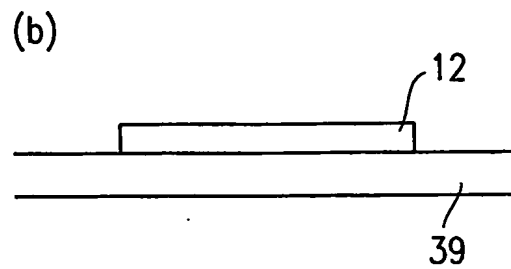
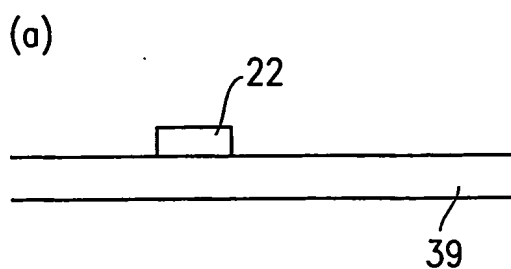


図6

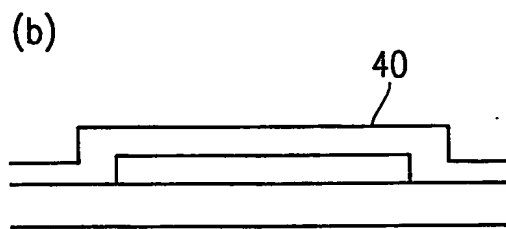
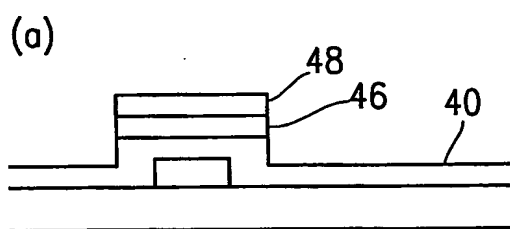


図7

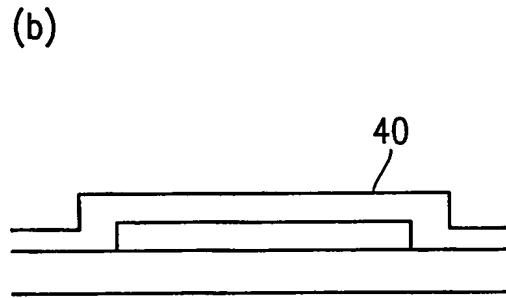
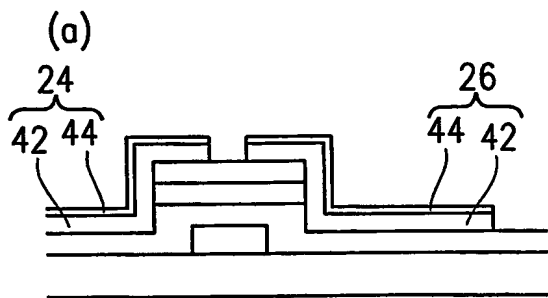


図8

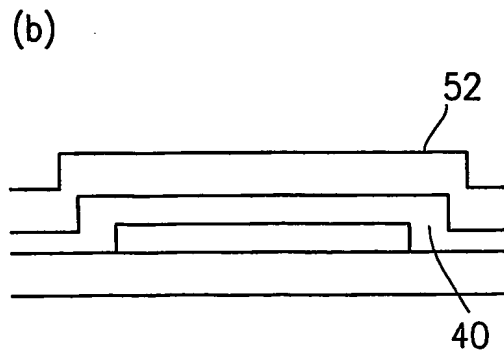
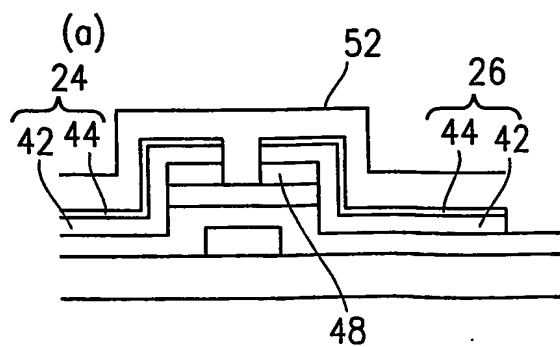


図 9

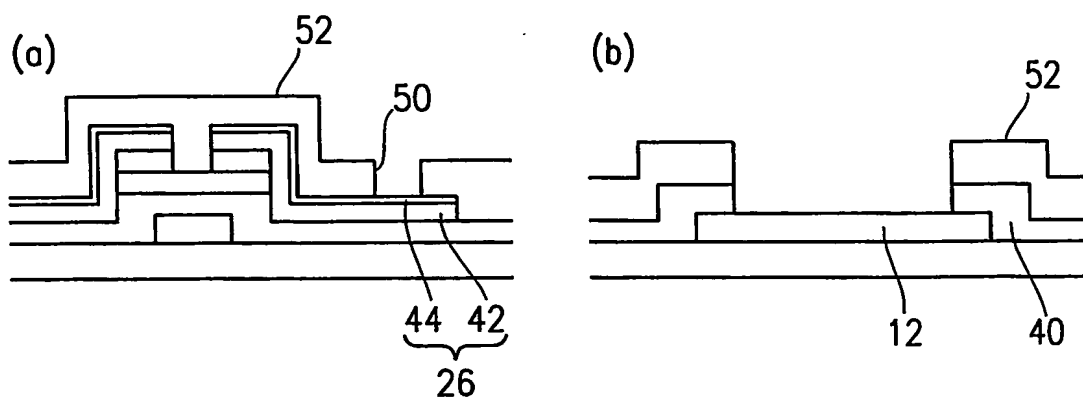


図 10

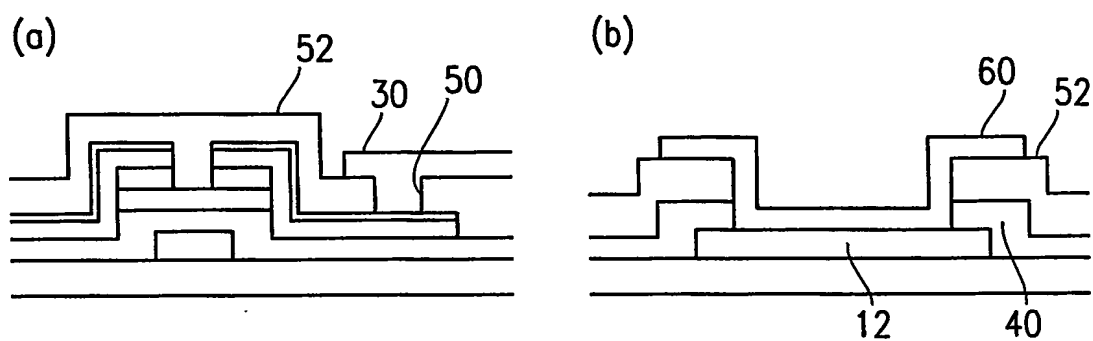
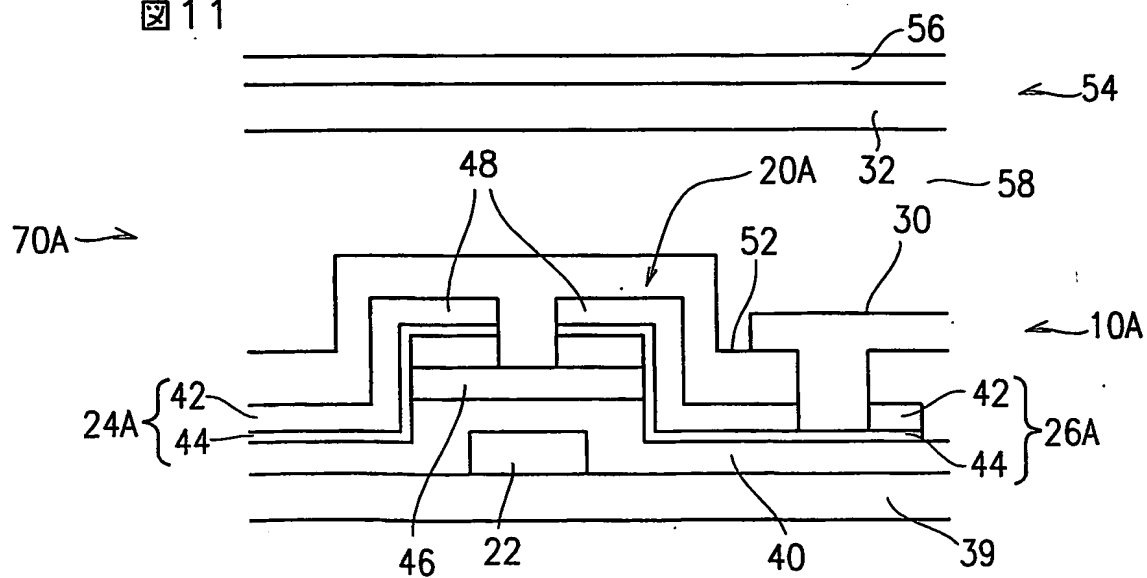
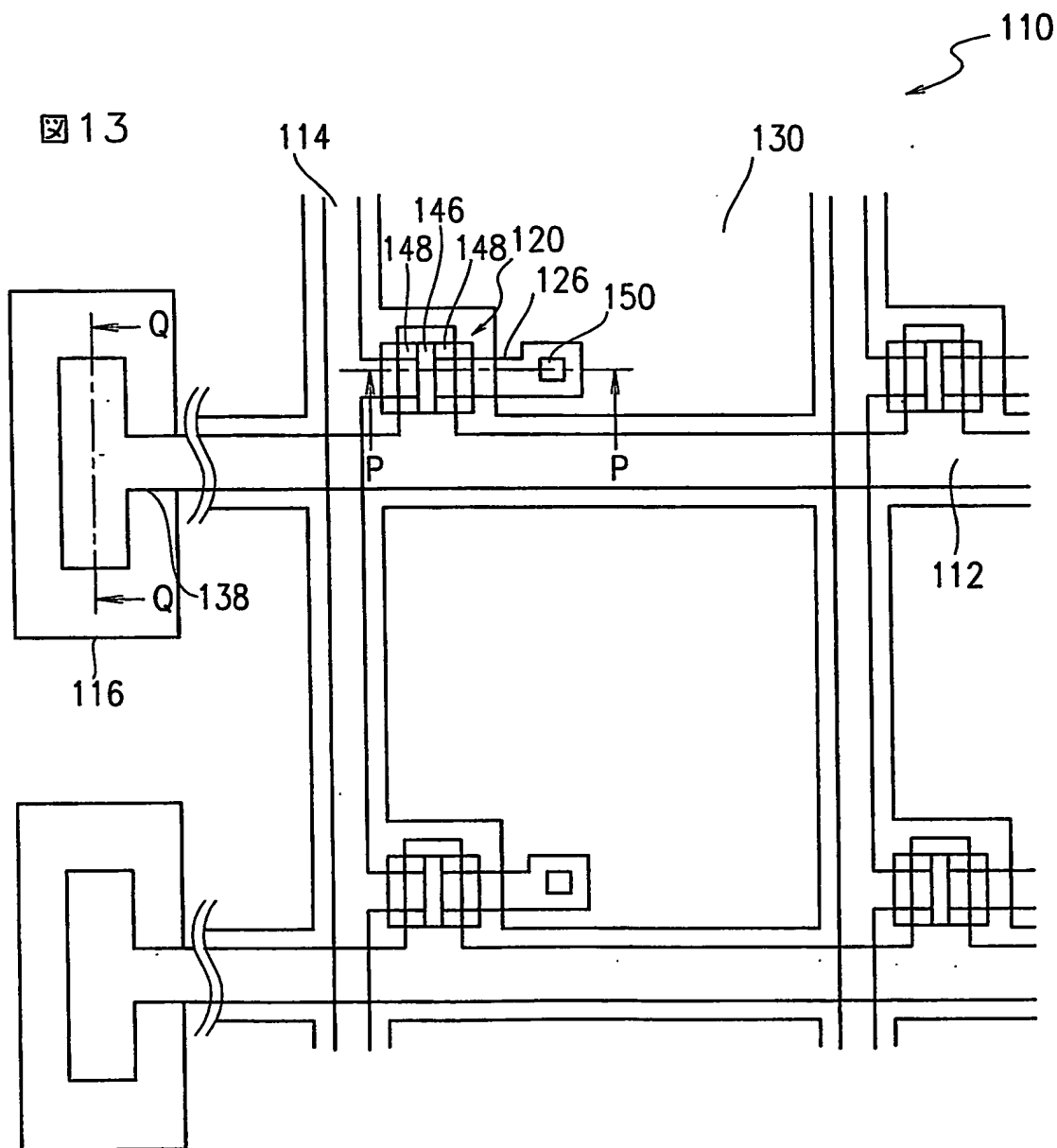
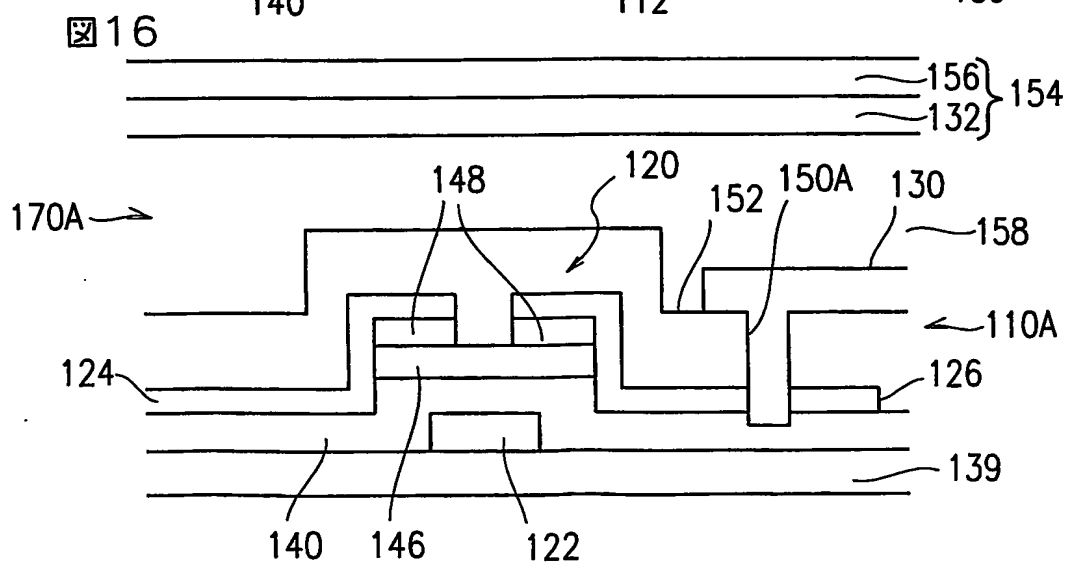
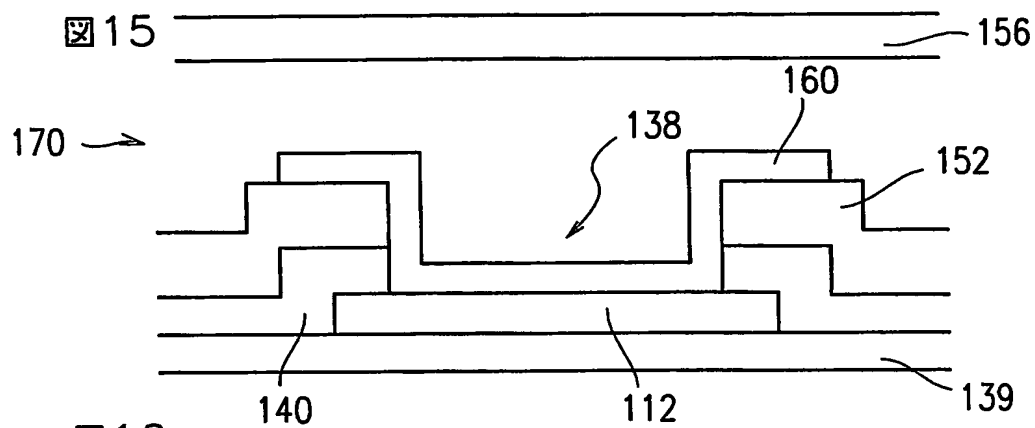
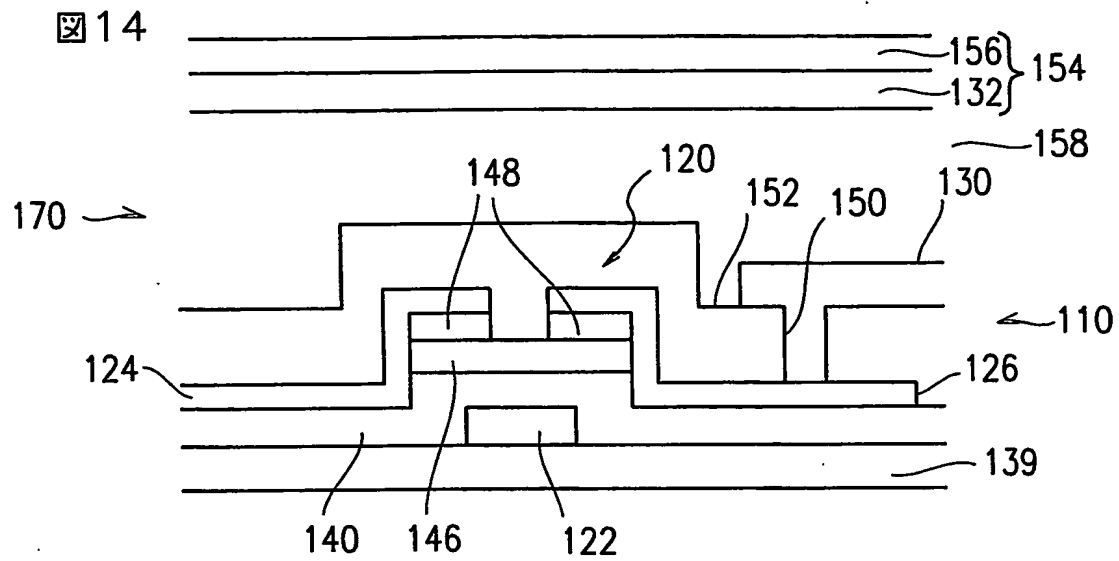


図 11







INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP03/04727

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09F9/30, G02F1/1368, H01L29/786

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09F9/30, G02F1/1368, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2000-284326 A (Hitachi, Ltd.), 13 October, 2000 (13.10.00), Full text; all drawings & KR 2000063024 A & US 6433842 B1 & JP 2001-166336 A	1, 5-7, 9-11 2-4, 8, 12-15
Y	JP 2000-275663 A (Hitachi, Ltd.), 06 October, 2000 (06.10.00), Full text; all drawings (Family: none)	2-4, 13-15
Y	JP 8-018058 A (Frontec Inc.), 19 January, 1996 (19.01.96), Par. Nos. [0032] to [0034]; Figs. 8 to 9 & KR 161325 B1	8, 12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
19 May, 2003 (19.05.03)

Date of mailing of the international search report
03 June, 2003 (03.06.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ G09F9/30, G02F1/1368, H01L29/786

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ G09F9/30, G02F1/1368, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-284326 A (株式会社日立製作所) 2000. 10. 13、全文、全図 &KR 2000063024 A &US 6433842 B1 &JP 2001-166336 A	1, 5-7, 9-11
Y		2-4, 8, 12-15

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

19. 05. 03

国際調査報告の発送日

03.06.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐竹 政彦

2M

2911

電話番号 03-3581-1101 内線 3274

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2000-275663 A (株式会社日立製作所) 2000. 10. 06、全文、全図 (ファミリーなし)	2-4, 13-15
Y	J P 8-018058 A (株式会社フロンテック) 1996. 01. 19、第【0032】-【0034】段落、第8 -9図 &KR 161325 B1	8, 12